

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010105270 (43) Publication Date. 20011128

(21) Application No.1020010027189 (22) Application Date. 20010518

(51) IPC Code:
H01L 23/28

(71) Applicant:
SONY CORPORATION

(72) Inventor:
SAITO TAKASHI

(30) Priority:
2000 2000147836 20000519 JP

(54) Title of Invention
SEMICONDUCTOR DEVICE AND INTERPOSER, AND MANUFACTURING METHOD THEREOF

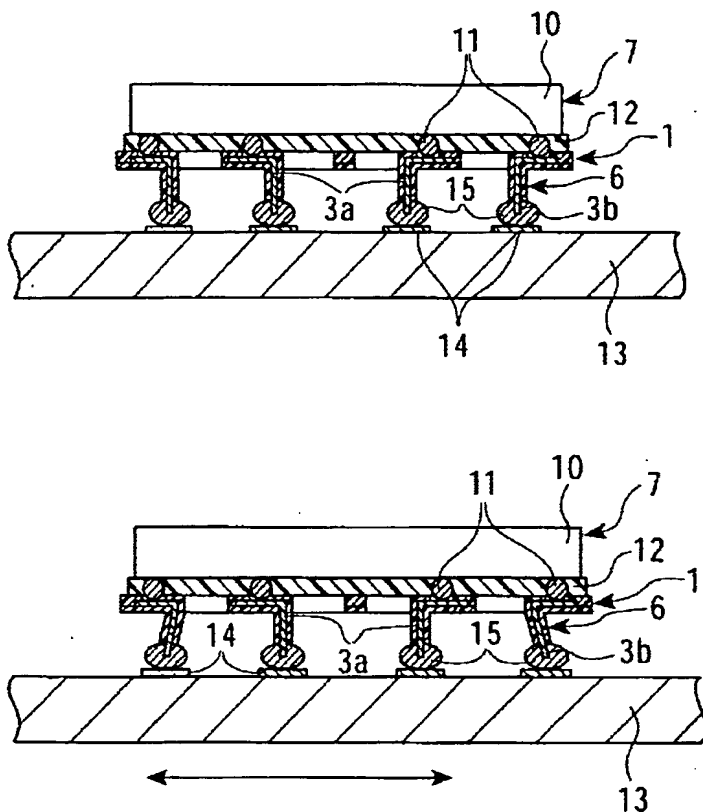
Representative drawing

(57) Abstract:

PURPOSE: To provide a semiconductor device where a mounting structure of a semiconductor package, etc., has high mounting reliability, an interposer and a manufacturing method thereof.

CONSTITUTION: An interposer 1 of a three-layer structure covering both sides of a wiring pattern 3a with polyimide layers 2a, 2b is constituted, a part of the wiring pattern 3a is bent to one side, and an external terminal 6 having an exposed part 3b of the wiring pattern 3a at a tip thereof is formed. After a semiconductor chip 10 is connected to the other side of the interposer 1, the exposed part 3b is mounted on an electrode 14 of a substrate 13 by solder junction. Therefore, a clearance 27 is formed between the interposer 1 and the substrate 13, the stress generated by thermal expansion coefficient difference between the semiconductor chip 10 and the substrate 13 caused by thermal stress is absorbed by deformation of the external terminal 6 and break of a connection can be prevented.

© KIPO & JPO 2002



if display of image is failed, press (F5)

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl. 8	(11) 공개번호	특2001-0105270
H01L 23 /28	(43) 공개일자	2001년11월28일

(21) 출원번호 10-2001-0027189

(22) 출원일자 2001년05월18일

(30) 우선권주장 2000-147836 2000년05월19일 일본(JP)

(71) 출원인 소니 가부시끼 가이사

(72) 발명자 일본국 도쿄도 시나가와구 기타시나가와 6초메 7반 35고
사이토다카시

(74) 대리인 일본도쿄도시나가와구기타시나가와6-7-35소니가부시끼가이사내
이병호

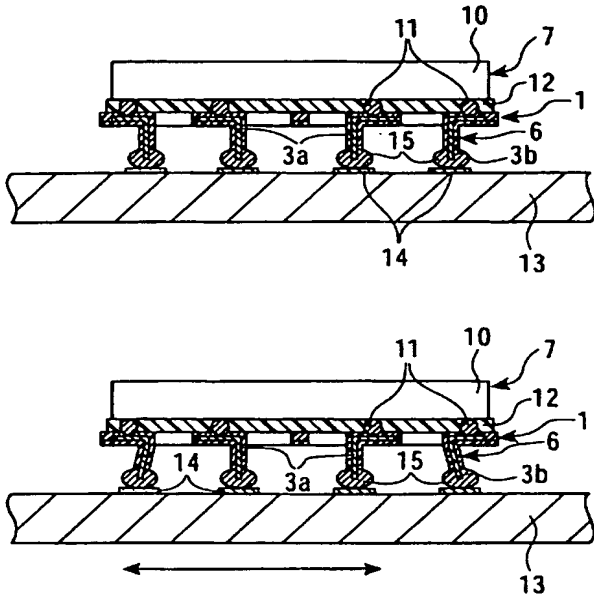
심사청구 : 없음

(54) 반도체 장치, 이 반도체 장치용 인터포저 및 그 제조 방법

요약

본 발명은 반도체 장치, 그 인터포저 및 이들의 제조 방법을 제공하는 것이다. 상기 방법은 배선 패턴의 양면을 폴리이미드 층으로 샌드위치 하는 박막 구조를 갖는 인터포저를 형성하는 단계와, 이 배선 패턴의 각 부분의 일 단부를 일 방향으로 돌출시켜 굽혀서 그 일 단부에서 노출부를 갖는 외부 단자를 형성하는 단계와, 이 인터포저의 다른 면에 반도체 칩을 접속하는 단계와, 상기 노출된 부분을 장착 기판에 납땜 접합하는 단계를 포함한다. 그에 의해서, 인터포저와 기판사이에서 노출 부분을 갖는 외부 단자에 의해 간극이 형성되며, 이에 의해 반도체 칩과 장착 기판 사이의 열 팽창 계수 차이로 생기는 열응력을 외부 단자의 변형으로 흡수하며, 접속부의 파손을 방지할 수 있다.

대표도



명세서

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 장착 기판상에 장착된 CSP의 패키징 상태를 도시한 개략도.

도 2a는 CSP에 적용된 열응력으로 인해 외부 단자의 변형을 도시한 도면으로, 도 2a는 정상 상태를 도시한 도면이고, 도 2b는 변형 상태를 도시한 도면.

도 3a 내지 도 3c는 팬-인형 인터포저를 도시한 도면으로, 도 3a는 그 저면도이고, 도 3b는 그 단면도이며, 도 3c는 도 3a의 선 III C-III C 선을 따라 절단한 부분을 상세히 도시한 도면.

도 4a 및 도 4b는 도 3c의 확대도로서, 도 4a는 굽힘 전의 초기 상태를 도시한 도면이고, 도 4b는 굽힘 후의 상태를 도시한 도면.

도 5는 도 4b의 확대 사시도.

도 6a 및 도 6b는 본 발명을 적용하는 팬-인/팬-아웃형 인터포저를 도시한 도면으로, 도 6a는 그 저면도이고, 도 6b는 그 단면도.

도 7a 내지 도 7e는 본 발명을 적용한 인터포저를 제조하는 단계를 도시한 도면.

도 8a 내지 도 8e는 본 발명을 적용한 인터포저와 IC 칩을 조합하는 단계를 도시한 도면.

도 9는 본 발명에 따라 장착 기판상에 장착된 CSP의 상태를 도시한 도면.

도 10은 도 9에 있어서의 A 부분의 확대도.

도 11은 본 발명의 변형예를 도시한 도면.

도 12는 본 발명의 다른 변형예를 도시한 도면.

도 13은 본 발명의 또 다른 변형예를 도시한 도면.

도 14는 본 발명의 다른 변형예를 도시한 도면.

도 15는 본 발명의 다른 변형예를 도시한 도면.

도 16은 종래 기술의 와이어 접합형 CSP를 도시한 도면.

도 17은 종래 기술의 플립칩형 CSP를 도시한 도면.

도 18은 종래 기술의 볼 그리드 어레이형 접속 방법을 도시한 도면.

도 19는 종래 기술의 랜드 그리드 어레이형 접속 방법을 도시한 도면.

도 20은 종래 기술의 플립칩형 CSP의 패키징 상태를 도시한 도면.

도 21은 상기 패키징 후에 열응력 상태로 인한 종래 기술의 플립칩형 CSP의 파손 상태를 도시한 도면.

도면의 주요 부분에 대한 부호의 설명

1 : 인터포저	5 : 개구
6 : 하부 전극(외부 단자)	6A : 급항부
9 : 접속용 전극	10 : 반도체 칩(IC 칩)
11, 15, 15A, 22 : 뿔납 범프	12 : 언더필재
13 : 장착 기판	16 : 발열제
29 : 도전부	30 : 뿔납

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치, 그 인터포저 및 그 제조 방법에 관한 것이며, 특히 CSP(Chip Size Package 또는 Chip Scale Package) 구조를 갖는 반도체 장치와, 그 인터포저 및 그 제조 방법에 관한 것이다.

최근의 전자 제품의 소형화 요구에 대처하기 위하여, 전자 부품 특히 반도체 디바이스의 고밀도 패키징의 필요성이 증가되고 있다. 따라서, 종래 기술의 플라스틱 패키지 대신에 상기 고밀도 패키징 중 하나인 CSP(Chip Size Package)가 채용

되고 있다.

CSP의 내부 구조는 IC(Integrated Circuit) 칩(칩 또는 반도체 칩이라 함)과 인터포저(배선 기판)를 접속하는 방식에 따라 크게 두 형태로 분류된다. CSP의 두 형태중 하나는 도 16에 도시된 바와 같은 와이어 본딩형 CSP이고, 인터포저(21A)와 IC 칩(10)의 전극을 동(copper) 배선(17)에 접속한 후에, 이들은 반도체 패키지(20)를 형성하기 위해 수지(18)로 패키징된 다음에 땀납 범프(11)를 거쳐서 장착 기판에 접속된다.

다른 형태는 도 17에 도시된 바와 같이 플립칩형 CSP이고, IC 칩(10) 및 인터포저(21)의 전극(23)이 땀납 범프(22)를 거쳐서 서로 접속되며, IC 칩(10)과 인터포저(21) 사이의 갭에 언더필재를 충전한 패키지(25)가 형성되고, 그런 다음에 땀납 범프(11)를 거쳐서 장착 기판에 접속된다.

와이어 본딩형 CSP가 저가형 패키지를 제공할 지라도, 와이어를 수용하기 위한 부가적인 공간이 필요하기 때문에 패키지 사이즈가 그 칩 사이즈보다 크게되는 단점이 있다. 다른 한편, 플립칩형 CSP는 패키지 사이즈가 감소되는 상기 단점을 가지고 있다. 따라서, 최근의 전자 제품의 소형화 설계를 위한 요구를 충족시키기 위하여, 플립칩형 패키지가 증가되고 있다.

더욱이, CSP의 외부 전극 구조에 대해선 두 가지 형태가 있다. 이들 형태중 하나가 도 18에 도시되어 있고, CSP의 외부 전극으로서 작용하는 패키지하면 전극으로 설치된 볼 그리드 어레이형 구조를 갖는다. 도 19에 도시된 다른 하나는 땀납 볼을 사용하지 않고 인터포저(21A)의 전극(24) 만을 포함하는 랜드 그리드 어레이형 구조를 갖는다.

상기 양 경우에 반도체 패키지와 장착 기판(이하, 기판이라 함) 간의 접속은 기판상의 땀납이 오븐에서 용융되어 실행되는 땀납 접합 기술에 의해 실행되고 있다. 도 20은 패키징후의 상태를 도시하고 있다.

상술한 바와 같이 제조된 반도체 패키지의 신뢰성 특히, 히트 사이클 시험에 대해서는 고장의 원인이 반도체 칩과 장착 기판 간의 선 팽창 계수차(반도체 칩의 선 팽창 계수 : 3-4ppi/장착 기판의 선 팽창 계수 : 15-20ppm)에 기인한 것으로 고려되는 반면에, 반도체 패키지는 반도체 칩(10)과 장착 기판(13) 사이에 끼워진 인터포저(21)를 갖는 샌드위치 구조를 가지므로, 이들 양자간의 거리를 유지하여 반도체 칩(10)과 장착 기판(13)의 열 팽창과 수축으로 인한 응력을 완화 또는 흡수한다.

발명이 이루고자하는 기술적 과제

그러나, 반도체 집적회로의 고집적화를 위해 요구된 다수의 단자핀에 의해, 반도체 패키지(CSP)와 장착 기판 간의 상호 접속을 위한 땀납 볼 사이즈의 소형화가 진행되고 있으며, 종래의 800 μ m의 사이즈와 비교하면 현재는 300 μ m 이하의 땀납 볼 사이즈가 나타나고 있다. 또한, 패키지의 사이즈는 대형화로 되고 있다. 따라서, 상술한 종래 방법으로 장착 기판상에 장착된 상술한 CSP를 갖는 패키지 모듈을 위한 패키지 신뢰성을 보장하는 것은 매우 어렵게 된다.

특히, 패키지 신뢰성을 확인하기 위한 가속 히트 사이클 시험에 있어서, 종래의 인터포저(21)에 의한 열 팽창과 수축으로 인한 응력을 완화하는 것이 어렵다. 즉, IC 칩(10)과 장착 기판(13) 간의 선 팽창 계수에 있어서 커다란 차이로 인해, IC 칩(10)과 장착 기판(13)은 팽창후 수축시에 장착 기판(13)의 커다란 수축을 수반하지 않고, 팽창과 수축의 정도가 큰 장착 기판(13)은 수축시에 비접촉 부분에서 휘어지게 되어 접속 부분의 땀납이 파손된다. 따라서, 결과로 도 21에 도시된 바와 같은 내부 범프(A)의 파단과 도 21에 도시된 바와 같은 2차 접속 땀납 범프(B)의 파손 모드가 생기기 쉽다.

따라서, 본 발명의 목적은 상기 종래 기술과 관련된 상기 문제점을 해결하기 위한 것이며, 개량된 패키지 신뢰성을 실현할 수 있는 반도체 패키지 구조를 갖는 반도체 장치와, 그 인터포저 및 그 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

즉, 본 발명은 외부 단자 또는 이에 접속된 도전부(얇은 전극)가 반도체 칩과 이 반도체 칩상에 장착하기 위한 장착 기판 사이의 갭에 노출되는 소정 길이(예를 들면 100-300 μ m)를 갖는 구조를 가지는 반도체 장치에 관한 것이다.

본 발명에 따른 반도체 장치에 있어서, 반도체 칩과 장착 기판 사이의 갭에 노출된 소정 길이를 갖는 외부 단자와 이에 접속된 도전체는 반도체 칩의 패키징시에 앞/또는 패키징 후에 열응력으로 인해 반도체 칩과 장착 기판 간의 팽창 계수 차에 따라 변형하며, 이 변형은 서로 팽창 계수 차를 갖는 반도체 칩과 장착 기판 사이에서 냉각시에 수축 차에 의해 생기는 기계적 응력을 흡수한다. 그 결과, 반도체 칩과 장착 기판 사이의 각 부분에서 신뢰성 높은 접속이 유지되어, 매우 높은 패키지 신뢰성을 갖는 반도체 장치를 제공할 수 있다.

더욱이, 본 발명은 반도체 장치 제조 방법을 제공하는 것이며, 이 방법은 반도체 칩과 이것을 장착하기 위한 장착 기판 사이의 갭에 외부 단자 또는 이 외부 단자에 접속되는 도전체(얇은 전극)를 소정의 노출 길이로 끼워넣어서 배치하는 단계와, 소정 길이를 갖는 노출 부분을 제외한 외부 단자의 다른 부분을 도전성 재료로 코팅하는 단계를 포함한다.

본 발명의 반도체 장치 제조 방법에 따르면, 상술한 본 발명의 반도체 장치와 동일한 반도체 장치가 제조되므로, 양호한 재현성을 갖는 본 발명을 실시하는 동일한 작용과 장점을 갖는 반도체 장치 제조 방법을 제공하는 것이다.

더욱이, 본 발명은 반도체 칩과 이 반도체 칩을 장착하기 위한 장착 기판 사이의 갭에 끼워지는 인터포저에 관한 것이며, 이 인터포저의 외부 단자는 인터포저와 장착 기판 사이의 간극에 일정 노출 길이로 배치되어 있다.

본 발명의 인터포저에 따르면, 그 외부 단자가 상술한 본 발명의 반도체 장치와 동일한 구조를 가지기 때문에, 반도체 칩이 이 인터포저를 거쳐서 기판에 장착된다면, 상술한 본 발명의 반도체 장치와 동일한 효과가 얻어진다.

더욱이, 본 발명은 반도체 칩과 이 칩을 장착하기 위한 장착 기판 사이의 갭에 외부 단자 또는 이에 접속되는 도전체를 소정의 노출 길이로 끼워지는 인터포저 제조 방법에 관한 것입니다.

본 발명의 인터포저 제조 방법에 따르면, 상술한 본 발명의 인터포저와 동일한 인터포저가 제조되므로, 향상된 재현성을 갖는 본 발명의 효과 동일한 효과를 실현할 수 있는 인터포저 제조 방법을 제공할 수 있다.

첨부 도면을 참조하여 본 발명의 적합한 실시예를 하기에 설명한다.

상술한 본 발명에 따른 반도체 장치와, 그 인터포저 및 그 제조 방법에 있어서, 도 1에 도시된 바와 같이 외부 전극(6 ; 외부 단자)은 반도체 칩 사이즈 패키지를 구성하기 위해 반도체 패키지(7)로부터 적합하게 돌출한다.

더욱이, 상기 외부 단자는 예를 들어 도 15에 도시된 바와 같은 비돌출 상태에서부터 하향으로 굽혀진다.

또한, 상술한 반도체 패키지(7)는 반도체 칩(10)과 이에 접속된 인터포저(1)로 구성되고, 이 인터포저(1)는 폴리이미드와 같은 수지 층과 동(구리)으로 이루어진 배선 패턴의 적층 구조를 가지며, 반도체 칩(10)의 전극은 상기 인터포저(1)의 전극에 접속되고, 이 인터포저(1)의 소정 부분은 개구를 가지며, 이 개구로부터 배선 패턴(3a)의 각 배선 부분의 일 단부가 인터포저(1)의 평면에서 돌출하여 외부 전극(6)(후술하는 도 10을 참조하면 100 내지 300 μ m의 길이(L1)를 가짐)을 형성하기 위해 구부러지는 것이 적합하다. 비록 외부 전극(6)의 길이가 짧을지라도, 각 외부 단자 간의 피치가 좁아서 고밀도 배선이 가능하지만, 너무 짧다면 기계적 응력을 흡수하기 어려운 한편, 너무 길다면 각 단자 간의 피치가 감소되지 않는다. 따라서, 외부 전극(6)의 길이는 적합한 노출 길이(후술하는 도 2에서 L2)를 용이하게 형성하기 위해 100 내지 300 μ m 정도가 적합하다.

그리고, 각 배선 패턴(3a)의 구부러지는 일 단부는 도전성 재료(15)를 거쳐서 장착 기판의 배선 패턴에 접속된다.

이 경우에, 도 10에 도시한 바와 같이 개구(5) 외주의 적어도 일부분에 발유제(16)가 코팅되어 있다. 이에 의해, 반도체 칩과 인터포저 사이의 갭에 충전되는 언더필재(under-fill material)가 개구로 침입하는 것이 방지된다. 그러나, 이 발유제를 항상 코팅할 필요는 없고, 개구는 언더필재로 충전되어 외부 단자의 강도를 보강할 수 있다.

도 7 및 도 8을 참조하면, 본 발명에 따른 반도체 장치는 도 7 및 도 8에 도시된 바와 같이 제 1 수지층(2a)상에 배선 패턴(3a)을 형성하는 단계와, 배선 패턴상에 제 2 수지층(2b)을 적층하여 적층 구조를 갖는 인터포저(1)를 형성하는 단계 및, 인터포저의 소정 부분을 제거하여 개구(5)를 형성하는 단계와, 상기 인터포저의 평면에서 돌출하도록 상기 개구(5)의 일 측면으로부터 대향 측면까지 개구에 노출되게 돌출하는 배선 패턴의 각 부분의 일 단부를 굽히는 단계와, 반도체 칩(10)을 땀납을 거쳐서 인터포저(1)의 배선 패턴(3a)에 접속하는 단계 및, 그 사이의 갭에 수지 등으로 이루어진 언더필재(12)를 충전하는 단계를 포함하는 방법에 의해 양호하게 제조된다. 이에 의해, 외향으로 구부러지는 배선 패턴의 외부 단자를 갖는 CSP와 같은 반도체 장치는 장착 기판상에 장착하기 전에 제공된다.

또한, 본 발명의 반도체 장치는 도 7 및 도 8에 도시된 바와 같이 제 1 수지층(2a)상에 배선 패턴(3a)을 형성하는 단계와, 배선 패턴(3a)상에 제 2 수지층(2b)을 적층하여 적층 구조를 갖는 인터포저(1)를 형성하는 단계와, 인터포저에서 소정 부분을 제거하여 개구(5)를 형성하는 단계와, 반도체 칩(10)을 인터포저(1)의 배선 패턴(3a)에 접속하는 단계와, 그 사이의 갭에 언더필재(12)를 충전하는 단계 및, 개구(5)의 일 측면으로부터 대향 측면까지 그리고 그 하향으로 노출되어 돌출하는 배선 패턴의 일부를 굽히는 단계를 포함하는 방법에 의해 제조된다. 이에 의해, 인터포저의 외부 단자는 상술한 바와 같이 반도체 장치를 장착 기판상에 장착할 시에 비돌출 상태에서부터 하향으로 굽혀진다.

더욱이, 반도체 기판을 장착 기판상에 장착할 시에 반도체를 사용하기 위한 인터포저는 제 1 수지층(2a)상에 배선 패턴(3a)을 형성하는 단계와, 배선 패턴상에 제 2 수지층(2b)을 적층하는 단계와, 소정 부분을 제거하여 개구(5)를 형성하는 단계 및, 상기 개구의 일 측면으로부터 그 대향 측면까지 그리고 하향으로 개구에 노출되어 돌출하는 배선 패턴(3a)의 각 부분의 일 단부를 굽히는 단계를 포함하여 제조된다.

실시예에 의하면, 상기 반도체 칩과 인터포저 간의 상호 접속은 땀납 접속에 제한되지 않고, Au 스테드 범프가 반도체 칩의 측면에 형성되고 이방성 도전 필름(ACF)이 이에 접합되는 어떤 다른 접속 방법이 ACF 접속 방법으로서 사용된다.

여기서, 외부 단자의 '소정 노출 길이'는 땀납과 같은 도전성 재료로 커버되지 않는 외부 단자의 일부의 길이(도 10에서 'L2')를 의미하고, 기계적으로는 열응력 하에서 장착 기판에 대해 그 변형 또는 탄성 변형가능한 작용 길이를 포함하는 개념을 의미한다.

(실시예)

이하, 본 발명의 적합한 실시예가 하기에서 구체적으로 설명된다.

본 발명을 적용하는 CSP(Chip Size Package 또는 Chip Scale Package)(7)에 대해 도 1을 참조하면, 인터포저(1)에서 폴리이미드에 의해 에워싸인 동(구리) 배선의 일부인 인터포저의 외부 단자(6)가 인터포저(1)의 평면에 대해 수직 방향으로 돌출하도록 구부러지고 배선 패턴(3a)의 외부 전극(6)의 일 단부(3b)가 노출되어 본 발명을 적용하는 CSP(7)를 위한 적합한 구조를 제공한다. 그런 다음, 외부 전극(6)의 이 노출된 부분(3b)은 땀납 범프(15)를 거쳐서 장착 기판(13)에 전기적으로 접속된다.

따라서, CSP(7)와 장착 기판(13) 사이의 갭에 소정 노출 길이로 끼워진 CSP(7)의 외부 전극(6)(이하, 얇은 금속 와이어로 이루어진 하부 전극이라 함)을 제공하기 때문에, CSP(7)와 장착 기판(13) 간의 열 팽창 계수 차이로 인한 변형 응력은 노출된 외부 단자(6)에 의해 흡수되어 장착 기판(13)과 CSP(7)간의 상호 접속시 파손의 발생을 방지한다.

즉, 도 2a에 도시된 바와 같이 장착 기판(13)에 장착된 CSP(7)의 정상 상태에서, CSP(7)의 외부 전극(7)은 CSP(7)의 평면에 대해 수직 방향으로 돌출한다. 그러나, 반도체 칩(10)과 인터포저(1)간의 상호 접속시 땀납 범프(11)상에서와, CSP(7)와 장착 기판(13)간의 상호 접속시 땀납 범프(15)상에서 각종 열 및 기계적 응력이 발생한다.

이에 의해, 반도체 칩(10)과, 인터포저(1) 및 장착 기판(13) 모두는 처리중 및 사용시 가열에 의한 팽창과 냉각에 의한 수축의 사이클을 반복한다. 그러나, 상술한 바와 같이, 반도체 칩(10)과 장착 기판(13)간의 열 팽창 계수 차이로 인해 양자 사이에서 생기는 변형량의 차이는 CSP(7)와 장착 기판(13) 사이의 간극에 존재하는 노출 길이를 갖는 외부 전극(6)에 의해 양호하게 흡수된다.

도 2b는 팽창시의 상태를 도시한다. 즉, 커다란 팽창 계수를 갖는 장착 기판(13)에 그 일 단부가 접속된 외부 전극(6)은 팽창 사이클에서 화살표 방향으로 팽창하여 변형하고, 이에 의해 칩(10)과 기판(13)간의 변형량 차이를 흡수하며, 그 다음에 냉각시 초기 상태로 서서히 복원하여 도 2a의 정상 상태로 복귀된다. 따라서, 상기 상호 접속 부분의 파손이 방지된다.

본 실시예의 CSP에서 사용되는 인터포저(1)의 적합한 구조가 도 3a 내지 도 3c에 도시된 바와 같이 팬-인형(fan-in type) 구조를 예로 들어서 설명한다. 도 3a 내지 도 3c는 팬-인형 인터포저(1)를 도시하고 있다. 도 3a는 인터포저(1)의 하면(도 1에서 장착 기판(13)과 대향하는 면)을 도시하고, 반도체 칩(10)은 도 3b에서 가상선으로 도시된 하면에 대향하는 반대면에 접속되어 있다. 도 3b는 접속 상태를 도시하고 있다. 복수의 접속 전극(9)은 이 인터포저(1)의 외주 부분에 형성되고, 복수의 하부 전극(6)은 접속 전극(9)의 내부측면에 놓이는 각 개구(5)의 각 부분에 형성된다. 도 3c는 이러한 구조의 상태를 도시한 도 3a의 III-III 선을 따라 취한 확대 부분의 단면도를 도시하고 있다.

즉, 도 3c에서, 본 실시예의 인터포저(1)는 폴리이미드 필름(2a), 배선 패턴(3a) 및 다른 폴리이미드 필름(2b)을 포함하는 세 층의 적층 구조를 갖는다. 인터포저(1)의 상부면에서(반도체 칩(10)과 접촉하는 면), 반도체 칩(10)의 각 정합 전극과 대향하는 각 위치에서 각 접속 전극(9)이 형성된다. 배선 패턴(3a)은 각 접속 전극(9)으로부터 하부 전극(6)의 위치까지 형성되어 있다.

그런 다음, 도 3a에 도시된 바와 같이, 각 하부 전극은 용이한 패키징을 고려하여 0.5-0.8mm 피치로 확대되어 재배치되어 있다. 이에 의해, 양호하게는 매우 미세한 배선 패턴이 이것 상에 하부 전극을 형성하기 위하여 넓은 면적 영역에서 인출하여 형성되어 배선의 접속 효과를 향상시킴과 동시에, 배선이 손상되는 것이 방지되고 반도체 장치의 성능이 향상된다.

도 4a 내지 도 5는 하부 전극을 더 상세히 도시하고 있다. 즉, 도 3c를 상하 반전하고 확대한 도 4a 및 도 4b는 하부 전극(6)의 제조 공정을 도시한 반면에, 도 5는 하부 전극을 포함하는 부근의 사시도를 도시하고 있다.

도 4a 내지 도 5에 도시된 바와 같이, 납 와이어 형태로 제조되고 하부 전극(6)으로 되는 배선 패턴(3a)의 부분(6a)을 굽히기 쉽게 하기 위하여 개구(5)가 미리 에칭에 의해 형성된다. 그런 다음, 재배열된 하부 전극(6)으로 되는 부분(6a)의 단부면에서 배선 패턴의 노출 부분(3b)이 형성되어 반도체 칩(10)에 접속하기 전에 미리 펀치에 의해 굽혀진다.

도 6a 및 도 6b는 팬-인/아웃형의 인터포저(1A)를 도시하고 있다. 이 인터포저(1A)의 외주 부분에서, 배선층(3)의 동(구리)이 보강을 위해 배치되어 있다. 하부 전극(6)의 구조가 동일할 지라도, 이 인터포저(1A)는 접속 전극(9)이 팬인형의 것과 비교하여 내향으로 배치되고, 그 하부 전극(6)이 접속 전극(9)을 따라 양측면(내측과 외측)에 배치되어 있는 점이 상술한 팬인형의 인터포저(1)와 다르다.

상술한 방법과 동일하게 제조하기 위한 본 실시예의 인터포저(1)를 제조하기 위한 방법과 IC 칩과 동일한 조립 방법이 하기에 설명된다.

도 7a 내지 도 7e는 본 발명에 따른 인터포저(1)를 제조하기 위한 단계의 공정을 도시한 개략도이다. 즉, 제 1 층의 폴리이미드 필름(2a)이 도 7a에 도시된 바와 같이 형성되고, 배선층(3)이 도 7b에 도시된 바와 같이 구리를 사용하여 이것 상에 형성되며, 도 7c에 도시된 바와 같이 배선층(3)을 패터닝화하여 배선 패턴(3a)을 형성하고, 다음에, 제 2 층의 폴리이미드 필름(2b)이 도 7d에 도시된 바와 같이 그 상부면의 전체 영역을 커버하여 형성된다. 다음에, 상호 접속용 전극(9)과 개구(5)가 도 7e에 도시된 바와 같이 에칭에 의해 형성된다. 배선 패턴(3a)의 굽힘 부분(6A)의 일 단부에 노출된 부분(3b)을 형성한 후에, 인터포저(1)의 굽힘 부분(6A)은 도 4를 참조로 상술한 바와 같이 수직 방향으로 굽혀지며, 이에 의해 하부 전극(6)이 형성된다.

도 8a 내지 도 8e는 상기와 같이 제조된 인터포저와 IC 칩을 조립하는 단계의 개념을 도시하고 있다.

도 8a를 참조하면, 반도체 칩(10)의 전극(즉, Al로 이루어짐)은 무전해 Ni 도금으로 처리되고, 땀납 범프(11)는 이것 상에 도금법과 같은 것으로 형성된다.

그런 다음, 땀납(8)은 도 8b에 도시된 바와 같이 상술한 인터포저(1)에 형성되어 있는 접속 전극(9)상에 도8c에 도시된 바와 같이 프리코팅된다.

다음에, 도 8d에 도시된 바와 같이, 상술한 반도체 칩(10)은 인터포저(1)상에 페이스다운 모드로 장착되어 재유동 가열을 행하여 땀납 접합시킨다.

계속해서, 유동 잔류물을 제거하기 위해 세정이 실행되고, 도 8e의 단계에 이어서, 반도체 칩(10)과 인터포저(1) 사이의 갭에 언더필재(수지)(12)가 충전되어 이사이를 밀봉한다. 이때에, 언더필재(12)가 개구(5)의 갭으로부터 누설을 방지하기 위하여, 발유제(16)가 개구(5)의 외주에서 인터포저(1)의 표면에 코팅된다(도 10 및 그 설명 참조).

상기와 같이 제조되고 장착 기판(13)상에 장착된 본 실시예의 CSP(7)의 상태가 도 9에 도시되어 있다. 도 9의 A의 확대 부분이 도 10에 도시되어 있다. 장착 기판(13)의 측면상에 제공되는 땀납(15)은 CSP(7) 아래의 하부 전극(6)의 단부에서 노출부만을 축축하게 하고, 폴리이미드로 커버되는 그 다른 부분에는 부착되지 않아서 축축하게 하지 않는다. 따라서, 장착 기판(13)과 CSP(7)는 폴리이미드 층(2a, 2b)으로 커버되는 하부 전극(6)을 거쳐서 서로 접속되어 그 사이에 끼워진다.

본 발명의 실시예에 따르면, CSP(7)가 서로 접속되는 반도체 칩(10)과 인터포저(1)로 구성되어 있기 때문에, 인터포저(1)는 동으로 이루어진 배선 패턴(3a)과, 이 배선 패턴(3a)을 샌드위치하는 상하 폴리이미드 층(2a, 2b)을 포함하는 3 적층 구조이고, 배선 패턴(3a)의 일 단부 부분은 인터포저와 장착 기판 사이의 간극에서 굽혀지며, 패키징 공정 중에 또는 그 후 사용시에 적용되는 반도체 칩(10)과 인터포저(1) 사이 및/또는 인터포저(1)와 장착 기판(13) 사이의 접속부상에서 각종 열적 및 기계적 응력은 굽힘 및 노출부(3a)에 의해 흡수되거나 완화되며, 이에 의해, 종래 기술과 관련된 접속부의 파손에 대한 상기 문제점을 해결되어 높은 접속 신뢰성을 얻을 수 있다.

더욱이, CSP(7)와 장착 기판(13)이 땀납 접속을 거쳐서 접속되기 때문에, 불량 IC 칩의 교환은 용이하게 실행된다. 그에 의해, 인터포저와 장착 기판이 리얼 칩 사이즈로 제조된다면, 제어 칩 패키징과 동일한 고밀도 패키징으로 되기 때문에, 종래 기술과 관련되고 종래 기술에서 해결하기 어려웠던 불량 베어 칩의 교환 문제가 본 실시예의 CSP의 사용에 의해 해결된다.

상술한 본 발명의 적합한 실시예의 각종 변경은 본 발명의 사상내에서 이루어질 수 있다.

예를 들면, 본 발명의 외부 단자는 상술한 것과 다른 구조로 제조할 수 있다. 즉, 도 11을 참조하면, 장착 기판(13)에 도전층을 에칭할 시에, 오목부(13a)는 도전층 아래에 형성되고, 이 오목부위의 도전층 부분은 기판 전극(14A)으로서 기립하며, 이 기립된 기판 전극은 땀납(15A)을 거쳐서 인터포저의 배선 패턴(4)에 접속된다.

더욱이, 도 12를 참조하면, 약간 굽혀진 도전부(29)가 인터포저(1)의 배선 패턴과 기판 전극(14) 사이에 배치되고, 도전부(29)의 양 단부는 땀납(30)을 거쳐서 상기 두개의 각 전극(4, 14)에 접속된다.

도 13을 참조하면, 배선 패턴(3a)의 노출 부분(3b)이 그 상부면상의 것 보다 하부면상에서 커다란 노출 면적을 갖도록 배열되어 있다.

더욱이, 도 14를 참조하면, 배선 패턴(3a)의 노출 부분(3b)은 그 하부면상에만 형성되도록 배치되어 있다. 그에 의해, 상술한 실시예에서 실행된 바와 같이 하부 전극(6)을 위한 부분(6A)을 굽힐 필요없이 땀납 접합을 위해 이용가능한 표면적이 증가하기 때문에, 땀납(15)을 거쳐서 장착 기판(13)의 기판 전극(14)에 접속되어 굽혀지는 상기 부분(6A)은 냉각 사이클중에 기판(13)의 수축에 따라 자유롭게 자연적으로 굽혀진다. 도 15a 및 도 15b는 수축시의 굽힘 모드를 도시하고 있으며, 여기서 도 15a는 가열 사이클시의 모드 상태를 도시하고 도 15b는 냉각 사이클시의 수축하의 모드 상태를 도시하고 있다.

즉, 가열 사이클시에 기판(13)은 화살표로 지시된 방향으로 더 팽창한다. 그러나, 냉각시에는 도 15b에 도시된 바와 같이 화살표로 지시된 방향으로 더 수축한다. 따라서, 가열에 의해 용융되고 냉각에 의해 응고되는 기판(13)과 인터포저

(1) 간의 상호 접속을 위한 땀납(15)은 굽힘 부분(6A)의 하면의 넓은 면적에 부착되고 이에 의해 하부 전극(60)이 수축에 따라 도 15b에 도시한 화살표 방향으로 굽혀진다.

더욱이, 언더필재(12)의 침입 방지를 위해 개구(5) 외주에 폴리이미드 층의 표면에 코팅한 발유제(16)는 생략되었다. 이에 의해, 개구(5)가 언더필재(12)로 매설되기 때문에, 돌출하는 하부 전극(6)의 강도는 보장된다.

또한, 본 실시예에서 상술한 인터포저는 도 16을 참조로 이미 설명한 종래 기술의 와이어 본딩형 CSP에 또한 적용할 수 있다.

또한, 상술한 본 발명의 인터포저의 구조, 형상, 재료 등은 본 발명의 사상내에서 적합하게 실시할 수 있다.

발명의 효과

상술한 본 발명의 반도체 장치와 그 인터포저의 특징에 따르면, 외부 단자와 이에 접속되는 도전부가 반도체 칩과 이 반도체 칩을 장착하기 위한 장착 기판 사이의 갭에 끼워지고, 또한 외부 단자와 이에 접속되는 도전부가 반도체 칩의 패키징 시에 또는 패키징 후에 그 사용시에 열 응력하에서 장착 기판과 반도체 칩 간의 열 팽창 계수 차이에 따라 변형하기 때문에, 상기 팽창 계수 차이의 결과 냉각시 그 사이에서 수축의 차이로 인해 열적 및 기계적 응력이 효과적으로 흡수된다. 그 결과, 반도체 칩과 장착 기판간의 접속은 그 각 부분에서 유지되어 패키지와 그 시스템의 신뢰성이 향상된다.

(57) 청구의 범위

청구항 1. 집적 회로가 형성되는 반도체 칩과,

상기 반도체 칩에 부착되는 인터포저를 포함하고,

상기 인터포저에는 상기 인터포저의 표면으로부터 각각 외향으로 연장하는 복수의 얇은 전극이 설치된 반도체 장치.

청구항 2. 제 1 항에 있어서, 상기 인터포저는 상기 반도체 칩과 유사한 사이즈를 갖고,

상기 인터포저와 반도체 칩은 반도체 칩 사이즈 패키지를 형성하며,

상기 복수의 얇은 전극은 상기 반도체 칩 사이즈 패키지로부터 외향으로 연장하는 반도체 장치.

청구항 3. 제 1 항에 있어서, 상기 얇은 전극은 비돌출 상태에서부터 굽혀져서 상기 인터포저의 표면으로부터 돌출하도록 형성된 반도체 장치.

청구항 4. 제 2 항에 있어서, 상기 인터포저는 수지층과 배선 패턴의 적층 구조를 갖고,

상기 반도체 칩의 전극은 상기 인터포저의 배선 패턴의 전극에 접속되며,

상기 인터포저의 소정 부분은 개구를 갖도록 가공되고,

상기 배선 패턴의 상기 각 부분의 단부는 굽혀져서 상기 개구로부터 외향으로 돌출하도록 형성된 반도체 장치.

청구항 5. 집적 회로를 반도체 칩상에 형성하는 단계와,

인터포저의 표면으로부터 외향으로 각각 연장하는 복수의 얇은 전극을 갖는 인터포저를 형성하는 단계 및,

상기 인터포저를 상기 반도체 칩상에 부착하는 단계를 포함하는 반도체 장치 제조 방법.

청구항 6. 제 5 항에 있어서, 상기 인터포저는 상기 반도체 칩과 유사한 사이즈를 갖도록 형성되고,

상기 인터포저와 상기 반도체 칩은 반도체 칩 사이즈 패키지를 형성하며,

상기 복수의 얇은 전극은 상기 반도체 칩 사이즈 패키지로부터 외향으로 연장하는 반도체 장치 제조 방법.

청구항 7. 제 5 항에 있어서, 상기 비돌출 상태에서부터 굽혀져서 상기 인터포저의 표면으로부터 돌출하도록 상기 얇은 전극을 형성하는 단계를 추가로 포함하는 반도체 장치 제조 방법.

청구항 8. 제 6 항에 있어서, 수지층과 배선층의 적층 구조를 갖도록 상기 인터포저를 형성하는 단계와,

상기 반도체 칩의 전극을 상기 인터포저의 상기 배선 패턴의 전극에 접속하는 단계와,

상기 인터포저의 소정 부분에 개구를 형성하는 단계 및,

상기 얇은 전극 각각을 상기 배선 패턴의 각 부분의 각 단부를 굽혀서 상기 개구로부터 외향으로 돌출하도록 형성하는 단계를 추가로 포함하는 반도체 장치 제조 방법.

청구항 9. 제 8 항에 있어서, 제 1 수지층상에 상기 배선 패턴을 형성하고 상기 배선 패턴상에 제 2 수지층을 형성한 적층 구조를 갖는 상기 인터포저를 형성하는 단계와,

상기 인터포저의 소정 부분을 제거하여 상기 개구를 형성하는 단계와,

상기 각 개구에 노출된 상기 배선 패턴의 각 부분의 일 단부를 상기 얇은 전극을 형성하기 위해 상기 인터포저의 상기 표면으로부터 연장하도록 굽히는 단계와,

상기 반도체 칩과 상기 배선 패턴을 상기 인터포저에 접속하는 단계 및,

이들 사이의 갭을 언더필재로 충전하는 단계를 추가로 포함하는 반도체 장치 제조 방법.

청구항 10. 제 9 항에 있어서, 상기 얇은 전극의 각 단부를 도전성 재료를 갖는 장착 기판의 배선 패턴에 접속하는 단계를 추가로 포함하는 반도체 장치 제조 방법.

청구항 11. 제 9 항에 있어서, 상기 개구의 적어도 외주 부분을 발유제로 코팅하는 단계를 추가로 포함하는 반도체 장치 제조 방법.

청구항 12. 제 8 항에 있어서, 제 1 수지층상에 배선층을 형성하고, 상기 배선층상에 제 2 수지층을 형성한 적층 구조를 갖는 상기 인터포저를 형성하는 단계와,

상기 인터포저의 소정 부분을 제거하여 상기 개구를 천공하는 단계와,

상기 반도체 칩과 상기 인터포저의 배선 패턴을 상호 접속하여 그 사이의 갭을 언더필재로 충전하는 단계 및,

상기 배선 패턴의 상기 각 부분의 각 단부를 굽혀서 상기 개구로부터 외향으로 돌출하도록 상기 각 얇은 전극을 형성하는 단계를 추가로 포함하는 반도체 장치 제조 방법.

청구항 13. 제 12 항에 있어서, 상기 개구의 적어도 외주 부분을 발유제로 코팅하는 단계를 추가로 포함하는 반도체 장치 제조 방법.

청구항 14. 반도체 패키지를 형성하기 위해 반도체 칩에 부착되고 접속되는 인터포저에 있어서,

장착 기판의 배선 패턴에 접속되는 복수의 얇은 전극을 포함하고,

상기 얇은 전극 각각은 상기 인터포저의 표면으로부터 외향으로 연장하는 인터포저.

청구항 15. 제 14 항에 있어서, 상기 인터포저와 반도체 칩은 반도체 칩 사이즈 패키지를 형성하고,

상기 복수의 얇은 전극은 상기 반도체 패키지에서 외향으로 연장하는 인터포저.

청구항 16. 제 14 항에 있어서, 상기 얇은 전극은 이 전극을 비돌출 상태로 굽혀서 상기 반도체 패키지에서 돌출하도록 제조되는 인터포저.

청구항 17. 제 15 항에 있어서, 상기 인터포저는 수지층과 배선 패턴의 적층 구조를 갖고,

상기 반도체 칩의 전극은 상기 인터포저의 배선 패턴의 전극에 접속되며,

상기 인터포저의 소정 부분은 개구를 갖도록 가공되고,

상기 배선 패턴의 상기 각 부분의 각 단부는 상기 개구로부터 외향으로 돌출하도록 굽혀져서 형성되는 인터포저.

청구항 18. 제 17 항에 있어서, 상기 개구의 외주 부분은 발유제로 코팅된 인터포저.

청구항 19. 반도체 칩상에 집적 회로를 형성하는 단계와,

인터포저 표면으로부터 외향으로 각각 연장하는 복수의 얇은 전극을 갖는 인터포저를 형성하는 단계 및,

상기 반도체 칩상에 상기 인터포저를 부착하는 단계를 포함하는 인터포저 제조 방법.

청구항 20. 제 19 항에 있어서, 상기 얇은 전극을 비돌출 상태에서부터 굽혀서 상기 인터포저의 표면으로부터 돌출하도록 형성하는 단계를 추가로 포함하는 인터포저 제조 방법.

청구항 21. 제 19 항에 있어서, 수지층과 배선 패턴의 적층 구조를 갖도록 상기 인터포저를 형성하는 단계와,

상기 반도체 칩의 전극을 상기 인터포저의 배선 패턴의 전극에 접속하는 단계와,

상기 인터포저의 소정 부분에 개구를 형성하는 단계와,

상기 배선 패턴의 상기 각 부분의 각 단부를 굽혀서 상기 개구로부터 외향으로 돌출하도록 상기 전극의 각각을 형성하는 단계를 추가로 포함하는 인터포저 제조 방법.

청구항 22. 제 19 항에 있어서, 제 1 수지층상에 상기 배선 패턴을 형성하고, 상기 배선 패턴상에 제 2 수지층을 형

성하여 상기 적층 구조를 갖는 상기 인터포저를 형성하는 단계와,

상기 인터포저의 소정 부분을 제거하여 상기 개구를 형성하는 단계와,

상기 각 개구에 노출된 상기 배선 패턴의 각 부분의 일 단부를 상기 얇은 전극을 형성하기 위해 상기 인터포저 표면으로 부터 연장하도록 굽히는 단계와,

상기 반도체 칩과 상기 배선 패턴을 상기 인터포저에 접속하는 단계 및,

그 사이의 갭을 언더필재로 충전하는 단계를 추가로 포함하는 인터포저 제조 방법.

청구항 23. 제 22 항에 있어서, 상기 개구의 적어도 외주 부분을 발유제로 코팅하는 단계를 추가로 포함하는 인터포저 제조 방법.

청구항 24. 제 19 항에 있어서, 제 1 수지층상에 배선 패턴을 형성하고, 상기 배선 패턴상에 제 2 수지층을 형성하여 적층 구조를 갖는 상기 인터포저를 형성하는 단계와,

상기 인터포저에 소정 부분을 제거하여 상기 개구를 천공하는 단계와,

상기 반도체 칩과 상기 인터포저의 배선 패턴을 상호 접속하고 이 사이의 갭을 언더필재로 충전하는 단계 및,

상기 배선 패턴의 각 부분의 각 단부를 굽혀서 상기 개구로부터 외향으로 돌출하도록 상기 얇은 전극의 각각을 형성하는 단계를 추가로 포함하는 인터포저 제조 방법.

청구항 25. 제 24 항에 있어서, 상기 개구의 적어도 외주 부분을 발유제로 코팅하는 단계를 포함하는 인터포저 제조 방법.

청구항 26. 집적 회로가 형성되는 반도체 칩과,

상기 반도체 칩과 유사한 치수를 갖도록 형성되고, 상기 반도체 칩 사이즈 패키지를 형성하기 위해 상기 반도체 칩상에 장착되며, 상기 반도체 칩을 전기적으로 접속하기 위한 배선 전극을 갖는 인터포저와,

이것 상에서 회로 패턴을 갖는 장착 기판 및,

상기 인터포저의 배선 전극과 상기 장착 기판의 회로 패턴을 전기적으로 접속하기 위해 상기 인터포저와 장착 기판 사이에 설치된 복수의 얇은 전극을 포함하는 반도체 장착 기판.

청구항 27. 제 26 항에 있어서, 상기 얇은 전극은 상기 장착 기판상에 형성된 상기 회로 패턴을 굽힘으로써 형성되는 반도체 장착 기판.

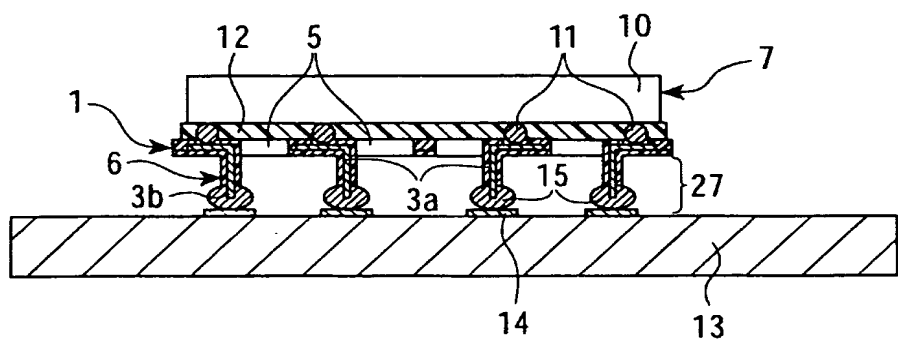
청구항 28. 제 26 항에 있어서, 상기 인터포저는 상기 배선 전극에 접속된 복수의 제 1 범프 전극을 갖고,

상기 장착 기판은 상기 회로 기판에 접속된 복수의 제 2 범프 전극을 가지며,

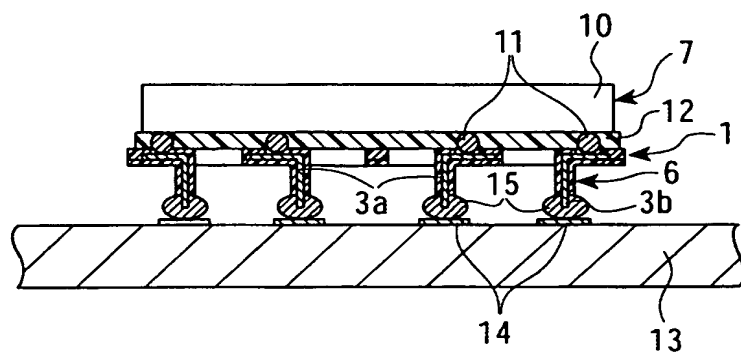
상기 제 1 및 제 2 범프 전극 각각의 사이에 땀납에 의해 복수의 쇼트 신 와이어가 고정되는 반도체 장착 기판.

도면

도면 1

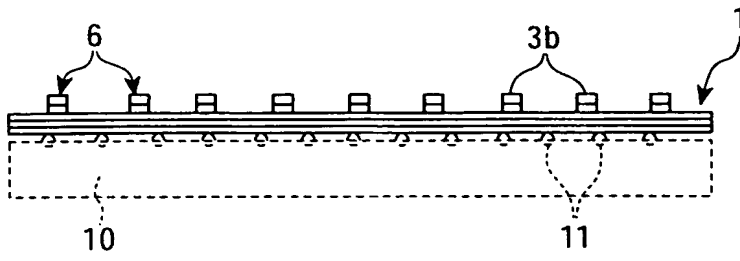


도면 2a

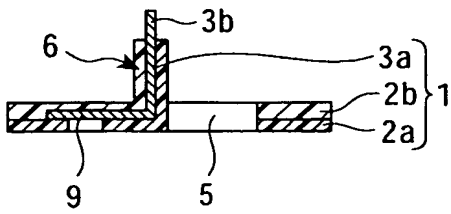


도면 2b

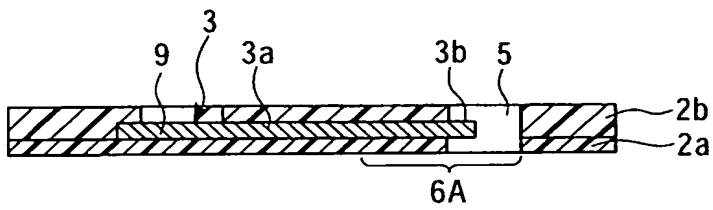




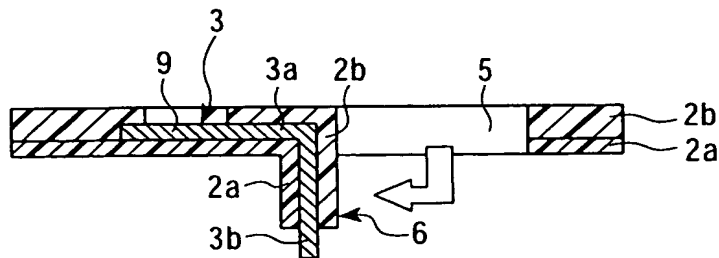
도면3c



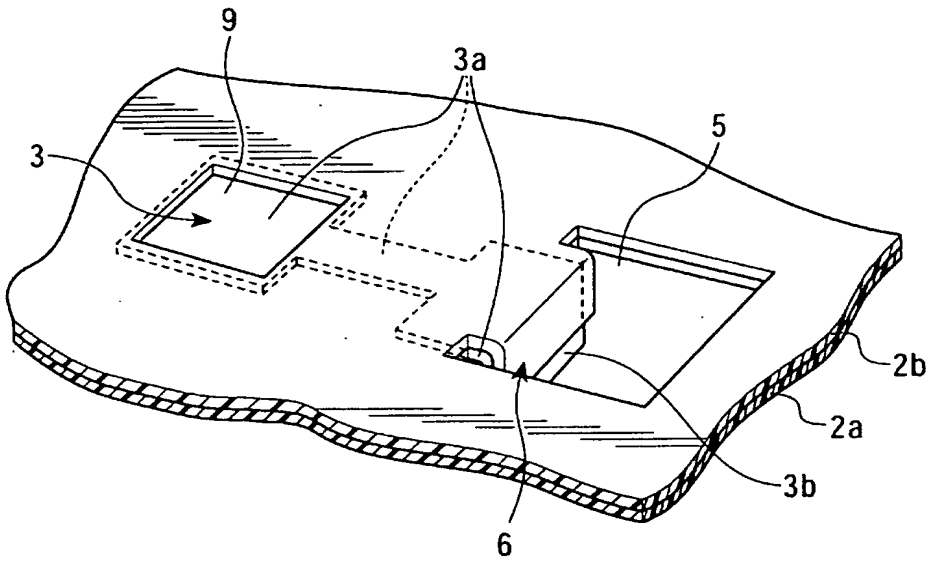
도면4a



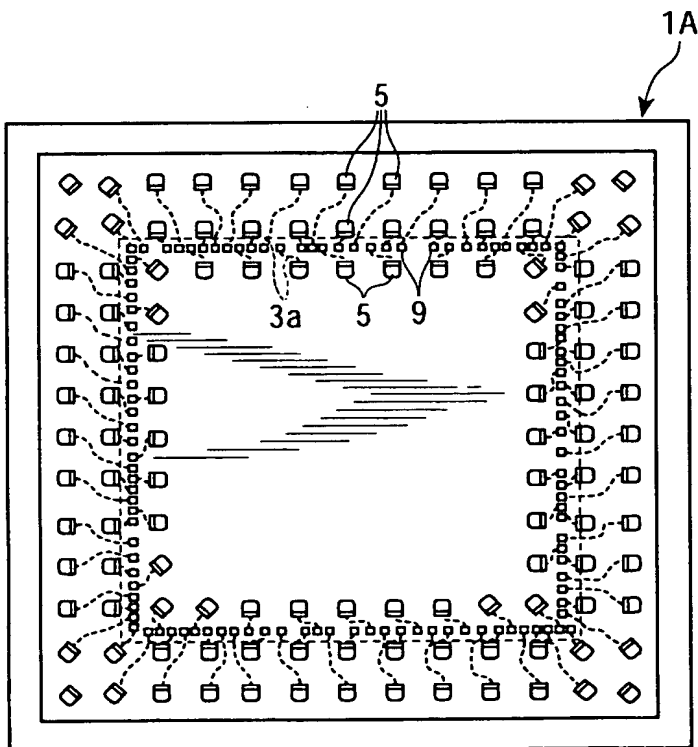
도면4b



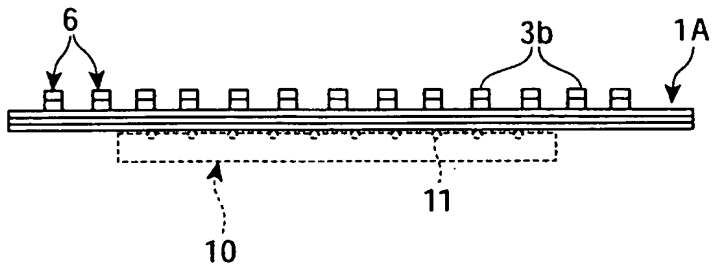
도면5



도면6a



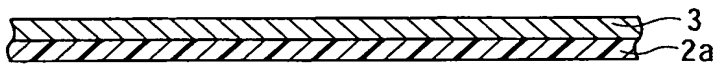
도면6b



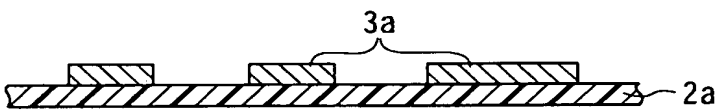
도면7a



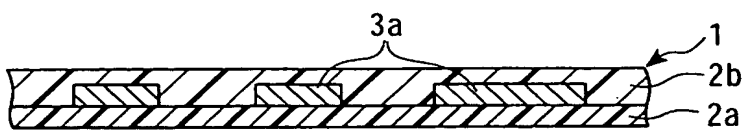
도면7b



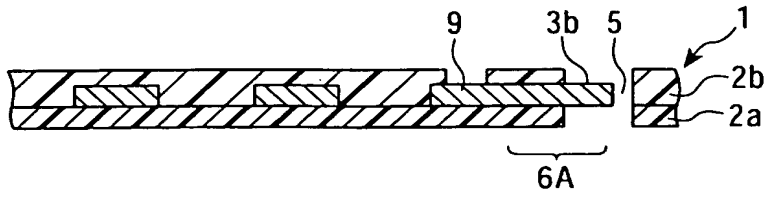
도면7c



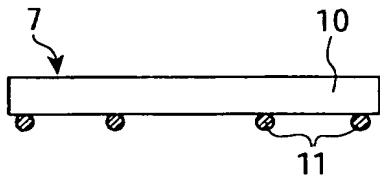
도면7d



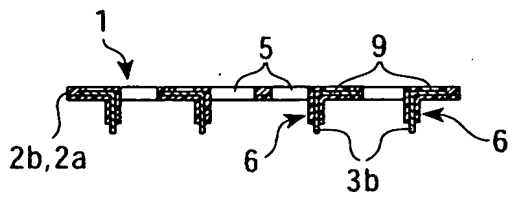
도면7e



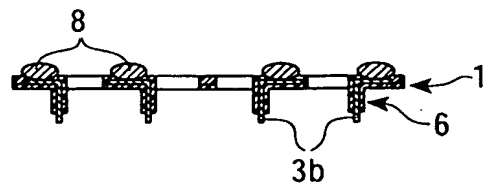
도면8a



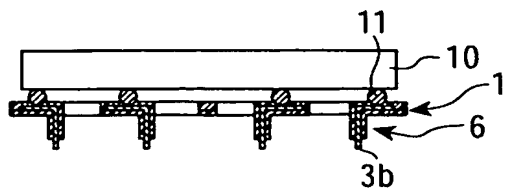
도면8b



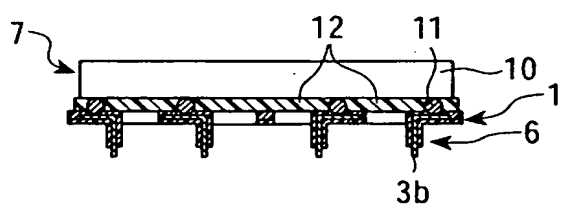
도면8c



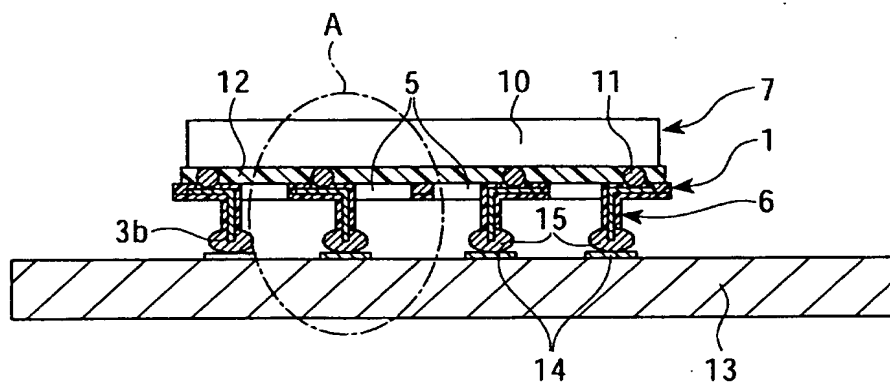
도면8d



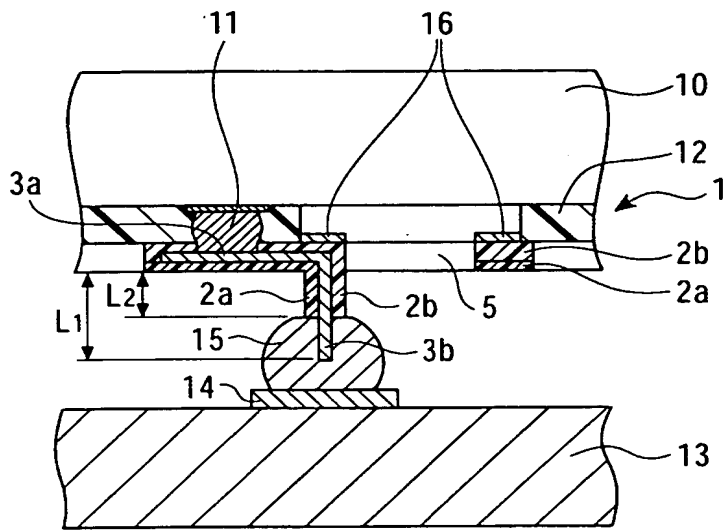
도면8e



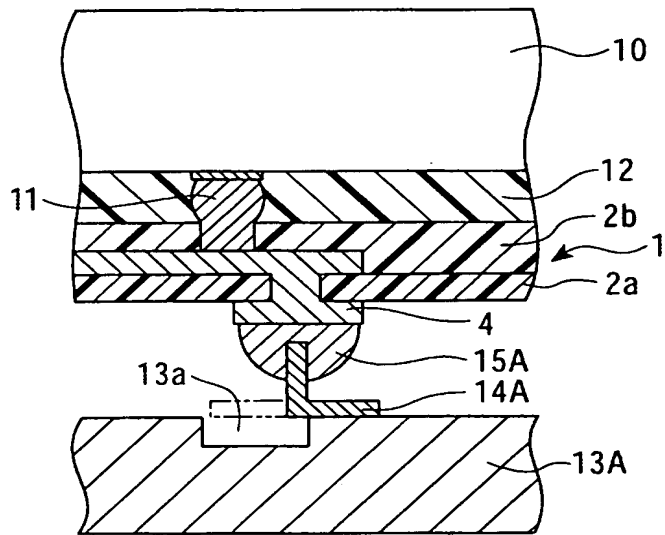
도면9



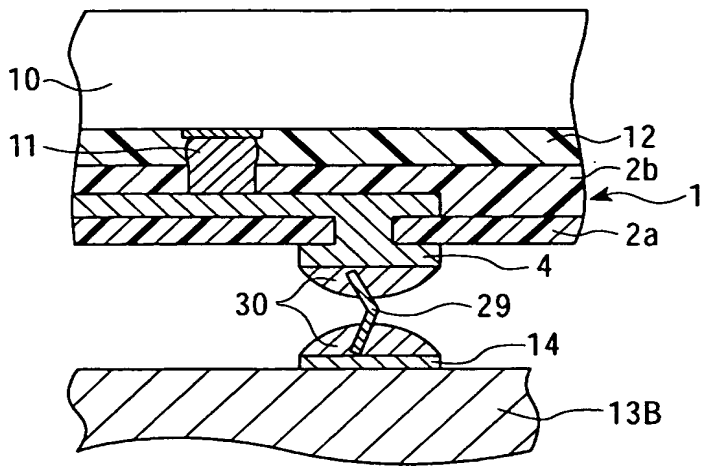
도면10



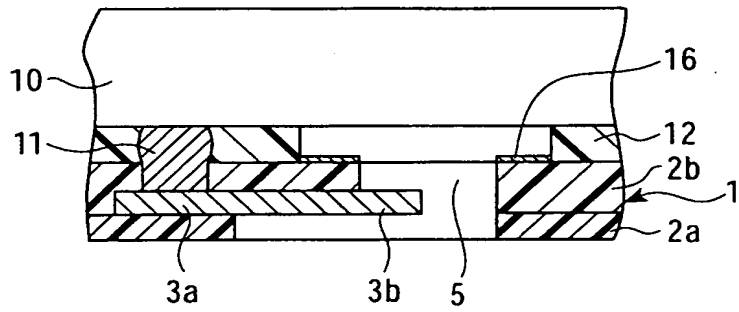
도면 11



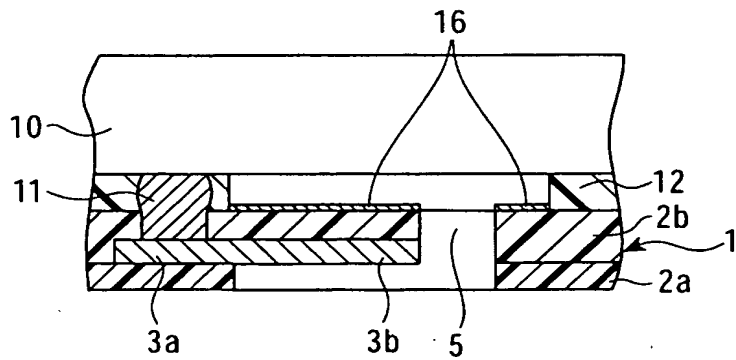
도면 12



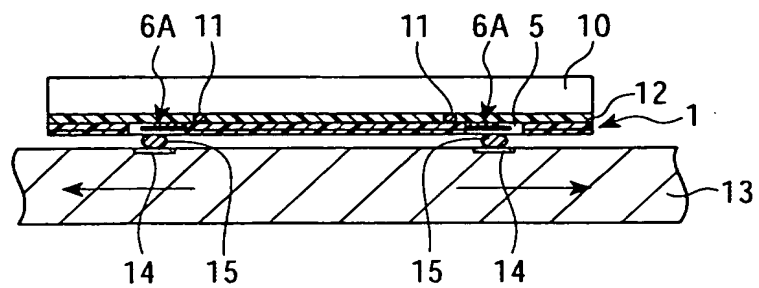
도면 13



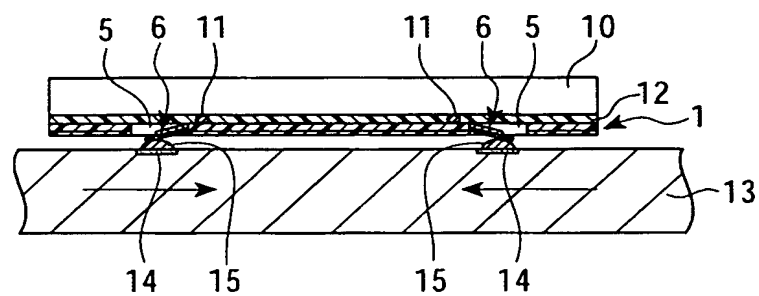
도면 14



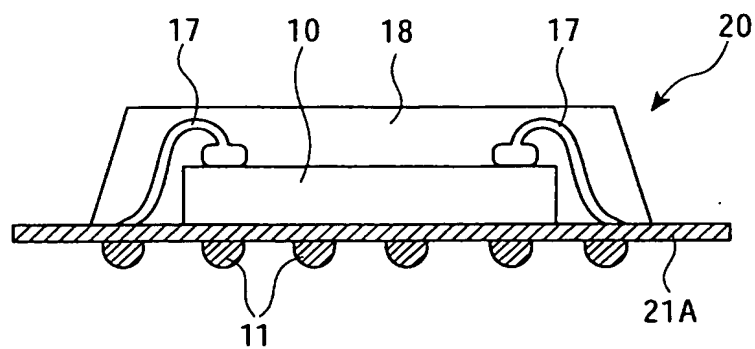
도면 15a



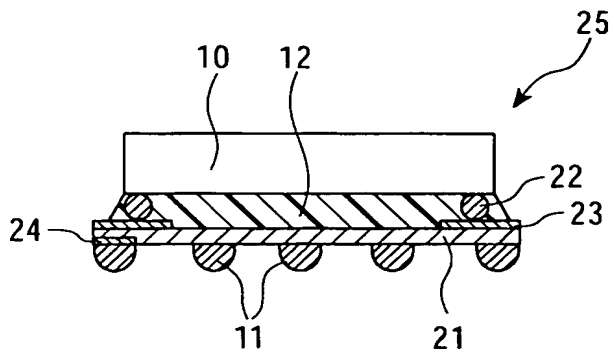
도면 15b



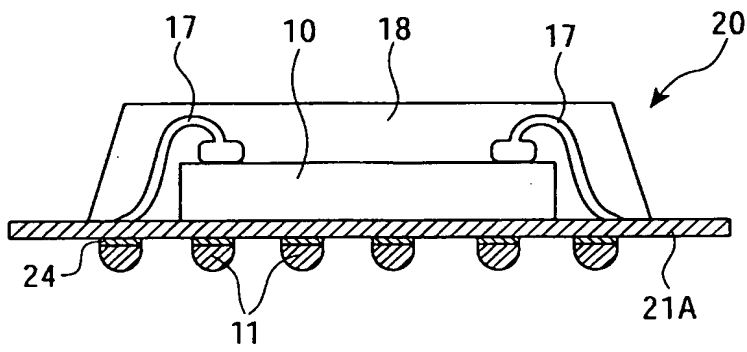
도면 16



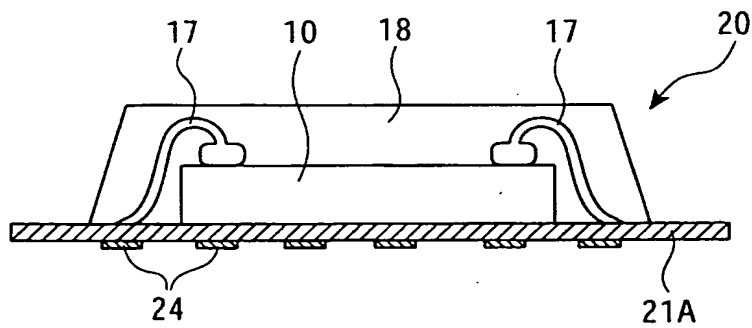
도면 17



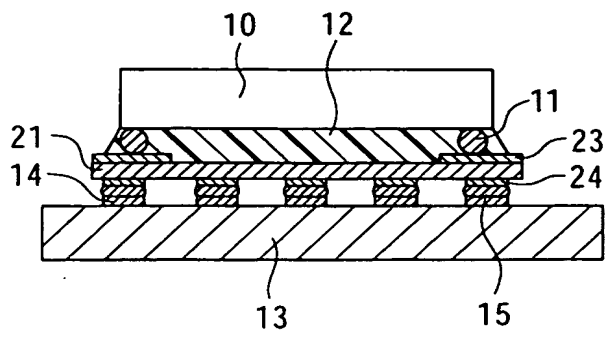
도면 18



도면 19



도면 20



도면21

